

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-239081

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月24日

H 04 N 7/08
H 04 L 25/03

A 8838-5C
E 6447-5K

審査請求 未請求 請求項の数 5 (全5頁)

⑮ 発明の名称 文字放送信号のスライス信号制御方法およびその回路

⑯ 特 願 平2-35730

⑰ 出 願 平2(1990)2月16日

⑱ 発 明 者 南 裕 治 神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内
⑲ 発 明 者 山 田 宰 東京都渋谷区神南2丁目2番1号 日本放送協会内
⑲ 発 明 者 黒 田 徹 東京都渋谷区神南2丁目2番1号 日本放送協会内
⑳ 出 願 人 株式会社富士通ゼネラル 神奈川県川崎市高津区末長1116番地
㉑ 出 願 人 日本放送協会 東京都渋谷区神南2丁目2番1号
㉒ 代 理 人 弁理士 古澤 俊明 外1名

明 細 書

1. 発明の名称

文字放送信号のスライス信号制御方法
およびその回路

2. 特許請求の範囲

(1) 受信映像信号をスライス信号にてスライスしてデータ信号とクロック信号を再生し、これらの信号に基づき誤り訂正回路にて情報ビット毎に誤りを判断し、誤りのある情報ビットを訂正するようにした回路において、前記誤り訂正回路により誤りと判断して一方のデータを他方のデータとして判断したときの訂正数に応じてスライス信号のスライスレベルを可変するようにしたことを特徴とする文字放送信号のスライス信号制御方法。

(2) 受信映像信号をスライス信号にてスライスしてデータ信号とクロック信号を再生し、これらの信号に基づき誤り訂正回路にて情報ビット毎に誤りを判断し、誤りのある情報ビットを訂正するようにした回路において、前記誤り訂正回路にて1を0と判断したときにパルスを出力する第1の

ゲート回路と、0を1と判断したときにパルスを出力する第2のゲート回路と、これら第1、第2のゲート回路の各パルスをカウントする第1、第2のカウンタと、これら第1、第2のカウンタの出力パルス数を比較し、この比較値により前記スライス信号のレベルを可変する比較回路とを具備してなることを特徴とする文字放送信号のスライス信号制御回路。

(3) 第1および第2のカウンタは、データパケット中のサービス識別符号が規定の識別符号の場合のみカウントするようにした請求項2記載の文字放送信号のスライス信号制御回路。

(4) 受信映像信号をスライス信号にてスライスしてデータ信号とクロック信号を再生し、これらの信号に基づき誤り訂正回路にて情報ビット毎に誤りを判断し、誤りのある情報ビットを訂正するようにした回路において、前記誤り訂正回路にて2値のデータの一方のデータを他方のデータとして判断したときにパルスを出力するゲート回路と、このゲート回路のパルスをカウントするカウンタ

と、前記誤り訂正回路による全訂正数に対する前記カウンタの割合を比較してこの比較値により前記スライス信号のレベルを可変する比較回路とを具備してなることを特徴とする文字放送信号のスライス信号制御回路。

(5)カウンタはデータパケット中のサービス識別符号が規定の識別符号の場合のみカウントするようにした請求項4記載の文字放送信号のスライス信号制御回路。

3. 発明の詳細な説明

「産業上の利用分野」

本発明はTVの受信映像信号に重畳された文字放送データを抜取る場合において、スライス信号を常に最適なスライスレベルに調整するための文字放送信号のスライス信号制御方法およびその回路に関するものである。

「従来の技術」

文字放送信号は、TV放送信号の垂直帰線消去期間中に、画像情報を符号化してデジタル信号の形で多重して送信される。受信側では、文字信

号を分離抽出して第4図(a)に示すような文字放送信号を得、スライス信号(S_s)でスライスし、第4図(b)(c)に示すようなデータ信号とクロック信号を再生する。

「発明が解決しようとする課題」

文字放送の信号は2値NRZ信号であるから第4図(c)のようなクロックによりデータをサンプリングしてデータの再生を行う。この場合、スライス信号が第4図(a)の(S_s)のように正常なレベルであるとする、文字放送信号中に小さなノイズ(N_1)(N_2)等が含まれていても第4図(b)のように正常なデータ波形が得られる。

ところが、スライス信号が(S_s)のように高すぎると、ノイズ(N_1)の部分で誤動作し、第4図(d)のようなデータ波形が得られ、そのためクロック信号(第4図(c))によりやはり誤ったデータが得られる。また、スライス信号が(S_s)のように低すぎると、同様にノイズ(N_2)により誤動作し、第4図(e)のようなデータ波形が得られ、そのためクロック信号(第4図(c))によりやはり誤ったデー

タが得られるといった問題があった。

本発明はデータパケット中の予め設定された一部のデータであって1と0の数が略同数のデータを検出し、誤り訂正回路で1を0と訂正した回数と、0を1と訂正した回数との割合に応じてスライス信号のレベルを自動的に調整するようにした回路を得ることを目的とするものである。

「課題を解決するための手段」

本発明は上述の目的を達成するため、受信映像信号をスライス信号にてスライスしてデータ信号とクロック信号を再生し、これらの信号に基づき誤り訂正回路にて情報ビット毎に誤りを判断し、誤りのある情報ビットを訂正するようにした回路において、前記誤り訂正回路により誤りと判断して一方のデータを他方のデータとして判断したときの訂正数に応じてスライス信号のスライスレベルを可変するようにした制御方法である。回路を構成する場合には、例えば、前記誤り訂正回路にて1を0と判断したときにパルスを出力する第1のゲート回路と、0を1と判断したときにパルス

を出力する第2のゲート回路と、これら第1、第2のゲート回路の各パルスのカウントする第1、第2のカウンタと、これら第1、第2のカウンタの出力パルス数を比較し、この比較値により前記スライス信号のレベルを可変する比較回路とを具備するものとする。

「作用」

受信映像信号がスライス信号によってスライスされてパルス状のデータ信号が抽出され、かつこのデータ信号に基づいてクロック信号が再生される。これらデータ信号とクロック信号が誤り訂正回路に入力して情報ビットに誤りがあるか否かを判断し、誤っているときはその情報を訂正する。この誤り訂正回路にて1を0と判断したときに第1のゲート回路からパルスが出力し、第1のカウンタでカウントする。また、0を1と判断したときにも第2のゲート回路からパルスが出力し、第2のカウンタでカウントする。これら第1、第2のカウンタの出力を比較回路で比較する。この第1、第2のカウンタでカウントするのは、データ

パケットの中でも、1と0の割合が略等して例えばサービス識別符号(SI)が文字放送の第1～第4送出モードであれば長期間で見るとランダム信号とみなせるので、スライスレベルが正常であれば第1、第2のカウンタの値は略等しくなるはずである。しかるに、第1のカウンタの値が第2のカウンタの値より大きければ、1を0と判断した場合が大きく、したがって、スライスレベルが正常値より高いことを意味する。したがって、比較回路の出力でスライスレベル設定回路のスライスレベルを下げる方向に制御する。

逆に第1のカウンタの値が第2のカウンタの値より小さければ、スライスレベルを上げる方向に制御する。

「実施例」

以下、本発明の一実施例を図面に基づき説明する。

第1図において、文字放送信号の入力端子(1)はスライス回路(2)の一方の入力側に結合され、スライスレベル設定回路(3)の出力側が前記スラ

出モード、以下SIという)だけをラッチするラッチ回路(23)が結合され、このラッチ回路(23)とROM(24)とが比較回路(25)に結合され、この比較回路(25)が前記第1、第2のカウンタ(18)(19)に結合されている。また、前記RAM(10)にはCPU(26)を介して表示装置(27)に結合されている。さらに前記比較回路(22)はLPF(28)を介して前記スライスレベル設定回路(3)に結合されている。

以上のような回路構成による作用を説明する。TV映像信号から文字信号分離回路(図示せず)で第4図(a)に示すような文字放送信号だけが分離されて入力端子(1)からスライス回路(2)の一方の入力側に入力する。スライス回路(2)の他方の入力側にはスライス信号が入力する。このスライス信号が第4図(a)のS.とすると、スライス回路(2)から第4図(b)のようなデータ信号が出力し、直接誤り訂正回路(4)へ送られるとともに、クロック再生回路(5)により第4図(c)に示すようなクロック信号を再生して誤り訂正回路(4)へ送られる。誤り訂正回路(4)では、データパケットに誤り

イス回路(2)の他方の入力側に結合されている。このスライス回路(2)の出力側はデータ信号出力側が直接誤り訂正回路(4)に結合され、クロック信号出力はクロック再生回路(5)を介して誤り訂正回路(4)に結合されている。この誤り訂正回路(4)は、データパケット受信回路(6)、タイミング生成回路(7)、アドレス生成回路(8)、データ転送回路(9)、RAM(10)、シンドロームレジスタ(11)、可変しきい値多数決回路(12)、データレジスタ(13)、加算回路(14)(15)から構成されている。この誤り訂正回路(4)の前記多数決回路(12)とデータレジスタ(13)には、アンドゲートからなる第1のゲート回路(16)と、アンドゲートとインバータからなる第2のゲート回路(17)が結合され、これらの第1、第2のゲート回路(16)(17)にはそれぞれ第1、第2のカウンタ(18)(19)、複数データパケットを加算して平均化する平均化回路(20)(21)を介して比較回路(22)が結合されている。前記RAM(10)にはデータパケット中のサービス識別符号が規定の符号(例えば文字放送の第1～第4送

がないか否かを判断する。すなわち、シンドロームレジスタ(11)はデータパケットに誤りがないときには多数決回路(12)から0を出力して訂正を行なわないが、誤りがあるときには1を出力する。多数決回路(12)から1を出力した場合において、データレジスタ(13)から1を出力した場合には、第1のゲート回路(16)から出力する。これは1を0と判断したときの出力となる。また、多数決回路(12)から1を出力した場合において、データレジスタ(13)から0を出力した場合には、第2のゲート回路(17)から出力する。これは0を1と判断したときの出力となる。これら第1、第2のゲート回路(16)(17)の出力はそれぞれ第1、第2のカウンタ(18)(19)へ送られ、それぞれのカウンタによりカウントされる。

SIラッチ回路(23)ではデータパケットのうち、複数パケットの積算で1と0の割合の略等しいSI(例えば文字放送の第1～第4送出モード)だけを検出して、ROM(24)のデータと比較回路(25)で比較する。このとき使用されるSIのデータは

通常誤り訂正された後のデータを用いる。そしてこの比較回路(15)からの出力によって、第1、第2のカウンタ(18)(19)の出力は規定のS Iのときだけ平均化回路(20)(21)へ出力される。これら第1、第2のカウンタ(18)(19)の出力は平均化回路(20)(21)で複数パケット分が平均化されて比較回路(22)で比較される。この比較回路(22)の出力が正、すなわち1を0と判断した数の方が0を1と判断した数より大であればLPF(26)を介してスライスレベル設定回路(3)のスライスレベルを下げ、逆であればスライスレベルを上げるように制御する。

以下同様にして2回目、3回目とスライスレベルを制御して次第に正常な値に訂正する。

ここで、第1回目の訂正時において、

1を0と判断した数を m_1

0を1と判断した数を n_1 とし、

これらの値 m_1 、 n_1 で訂正された第2回目の訂正後の値をそれぞれ、 m_2 、 n_2 とする。

この場合、

- (1) $t_1/2 - m_1 > t_2/2 - m_2$ なら同一方向へ位相をずらす。
- (2) $t_1/2 - m_1 < t_2/2 - m_2$ なら逆方向へ位相をずらす。
- (3) $m_1 - t_1/2 > m_2 - t_2/2$ なら同一方向へ位相をずらす。
- (4) $m_1 - t_1/2 < m_2 - t_2/2$ なら逆方向へ位相をずらす。
- (5) $t_1/2 - m_1 > 0$ で $t_2/2 - m_2 > 0$
- (6) $m_1 - t_1/2 > 0$ で $m_2 - t_2/2 > 0$

のときそのままとする。

「発明の効果」

本発明は上述のような方法および回路構成としたので、スライス信号を常に最適なレベルに調整できる。また、従来の誤り訂正回路にゲート回路、カウンタ、比較回路などを付加するだけであり、安価に提供できる。

4. 図面の簡単な説明

第1図は本発明による文字放送信号のスライス信号制御回路の一実施例を示すブロック図。第2図はデータパケットの説明図。第3図は本発明の他の実施例を示す要部のブロック図。第4図は各部波形図である。

- (1)…文字放送信号入力端子、(2)…スライス回路、
- (3)…スライスレベル設定回路、(4)…誤り訂正回

- (1) $m_1 - n_1 > m_2 - n_2$ なら同一方向へ位相をずらす。
- (2) $m_1 - n_1 < m_2 - n_2$ なら逆方向へ位相をずらす。
- (3) $n_1 - m_1 > n_2 - m_2$ なら同一方向へ位相をずらす。
- (4) $n_1 - m_1 < n_2 - m_2$ なら逆方向へ位相をずらす。
- (5) $m_1 - n_1 > 0$ で $n_2 - m_2 > 0$
- (6) $n_1 - m_1 > 0$ で $m_2 - n_2 > 0$

前記実施例では、1を0と判断した数の m_1 、 m_2 …と、0を1と判断した数の n_1 、 n_2 …とをそれぞれ直接カウントして両者を比較するようにしたが、これに限られるものではない。例えば、1を0と判断した数の m_1 、 m_2 …と、全訂正数 t_1 、 t_2 …とをカウントし、 m_2 と $t_2/2$ 、 m_2 と $t_1/2$ …とを比較するようにしてもよい。すなわち、第3図に示すように、ゲート回路(16)では1を0と判断したパルスを出力して第1のカウンタ(18)でカウントし、また、第3のカウンタ(28)では全訂正数 t をカウントし、その値 t を十回路(30)で $t/2$ を求め、 $t_1/2 - m_1$ が正か負かによってスライスレベルを制御するようにしてもよい。

この場合、

- 路、(5)…クロック再生回路、(10)…RAM、(11)…シンドロームレジスタ、(12)…多数決回路、(13)…データレジスタ、(16)…第1のゲート回路、(17)…第2のゲート回路、(18)…第1のカウンタ、(19)…第2のカウンタ、(20)(21)…平均化回路、(22)…比較回路、(23)…S I ラッチ回路、(24)…ROM、(25)…比較回路、(26)…CPU、(27)…表示装置、(28)…第3のカウンタ、(30)…十回路。

出願人 株式会社富士通ゼネラル

特許代理人 日本放送協会

代理人 弁理士 古澤俊

同 弁理士 加納一



